

Requisitos mínimos para el boletín de prácticas B1.2 de Estructura y Tecnología de Computadores

Febrero de 2011

1. Introducción

En este documento se indica el conjunto **mínimo** de casos de prueba que deben superar los ejercicios entregados del boletín para poder ser evaluados. La memoria debe demostrar, mediante cronogramas y/o capturas de pantalla, que cada circuito entregado cumple los mínimos exigidos; de no ser así, el ejercicio no se tendrá en cuenta y se calificará como 0.

No obstante, para simplificar el trabajo, se debe tener en cuenta lo siguiente:

- Si la memoria demuestra que el ejercicio 4 cumple los requisitos mínimos, no será necesario demostrar que el resto de ejercicios los cumplen.
- Si no se entrega el ejercicio 4 y sí el 3, y la memoria demuestra que este ejercicio cumple los requisitos mínimos, no será necesario demostrar que los ejercicios 1 y 2 los cumplen.
- Finalmente, si sólo se entregan los ejercicios 1 y 2, será necesario mostrar en la memoria que ambos cumplen los mínimos exigidos.

Obviamente, además de los casos de prueba aquí indicados, la memoria podrá contener también cualquier otra prueba que el alumno haya considerado oportuno hacer.

2. Ejercicio 1

El circuito de este ejercicio debe cumplir la tabla de verdad dada en la tabla B1.1 del boletín (ver página 27).

3. Ejercicio 2

El circuito de este ejercicio debe cumplir la tabla de verdad dada por el mapa de Karnaugh que aparece en la página 32.

4. Ejercicio 3

Las dos ALUs implementadas en este ejercicio (ALU1bit y ALUFinal) deben cumplir los casos de prueba que se dan en las siguientes tablas, es decir, para distintas combinaciones de los bits de control, las salidas obtenidas son las mostradas en las tablas (las salidas *Overflow* y *Comparación* sólo aparecen en la ALU del bit de mayor peso, mientras que la salida *AcS* sólo aparece en la ALU del resto de bits):

- Si Control = 000 (AND):

Entradas				Salidas			
a	b	AcE	Menor	Resultado	AcS	Overflow	Comparación
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	1
0	1	0	0	0	0	0	1
0	1	0	1	0	0	0	1
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	0
1	0	0	0	0	0	0	1
1	0	0	1	0	0	0	1
1	0	1	0	0	1	0	0
1	0	1	1	0	1	0	0
1	1	0	0	1	1	1	0
1	1	0	1	1	1	1	0
1	1	1	0	1	1	0	1
1	1	1	1	1	1	0	1

- Si Control = 001 (OR):

Entradas				Salidas			
a	b	AcE	Menor	Resultado	AcS	Overflow	Comparación
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	1
0	1	0	0	1	0	0	1
0	1	0	1	1	0	0	1
0	1	1	0	1	1	0	0
0	1	1	1	1	1	0	0
1	0	0	0	1	0	0	1
1	0	0	1	1	0	0	1
1	0	1	0	1	1	0	0
1	0	1	1	1	1	0	0
1	1	0	0	1	1	1	0
1	1	0	1	1	1	1	0
1	1	1	0	1	1	0	1
1	1	1	1	1	1	0	1

- Si Control = 010 (SUMA):

Entradas				Salidas			
a	b	AcE	Menor	Resultado	AcS	Overflow	Comparación
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	1	0	1	1
0	0	1	1	1	0	1	1
0	1	0	0	1	0	0	1
0	1	0	1	1	0	0	1
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	0
1	0	0	0	1	0	0	1
1	0	0	1	1	0	0	1
1	0	1	0	0	1	0	0
1	0	1	1	0	1	0	0
1	1	0	0	0	1	1	0
1	1	0	1	0	1	1	0
1	1	1	0	1	1	0	1
1	1	1	1	1	1	0	1

- Si Control = 110 (RESTA):

Entradas				Salidas			
a	b	AcE	Menor	Resultado	AcS	Overflow	Comparación
0	0	0	0	1	0	0	1
0	0	0	1	1	0	0	1
0	0	1	0	0	1	0	0
0	0	1	1	0	1	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	0
0	1	1	0	1	0	1	1
0	1	1	1	1	0	1	1
1	0	0	0	0	1	1	0
1	0	0	1	0	1	1	0
1	0	1	0	1	1	0	1
1	0	1	1	1	1	0	1
1	1	0	0	1	0	0	1
1	1	0	1	1	0	0	1
1	1	1	0	0	1	0	0
1	1	1	1	0	1	0	0

- Si Control = 111 (SLT):

Entradas				Salidas			
a	b	AcE	Menor	Resultado	AcS	Overflow	Comparación
0	0	0	0	0	0	0	1
0	0	0	1	1	0	0	1
0	0	1	0	0	1	0	0
0	0	1	1	1	1	0	0
0	1	0	0	0	0	0	0
0	1	0	1	1	0	0	0
0	1	1	0	0	0	1	1
0	1	1	1	1	0	1	1
1	0	0	0	0	1	1	0
1	0	0	1	1	1	1	0
1	0	1	0	0	1	0	1
1	0	1	1	1	1	0	1
1	1	0	0	0	0	0	1
1	1	0	1	1	0	0	1
1	1	1	0	0	1	0	0
1	1	1	1	1	1	0	0

5. Ejercicio 4

La ALU de 8 bits implementada en este ejercicio, debe cumplir los casos de prueba que se dan en la siguiente tabla:

Entradas			Salidas		
A (8 bits, hexadecimal)	B (8 bits, hexadecimal)	Control (3 bits, binario)	Resultado (8 bits, hexadecimal)	Desbordamiento (1 bit)	Cero (1 bit)
03	04	010	07	0	0
03	04	110	FF	0	0
04	04	110	00	0	1
78	79	010	F1	1	0
F8	FA	110	FE	0	0
80	08	110	78	1	0
FF	AA	000	AA	0	0
55	AA	001	FF	0	0
57	5A	000	52	1	0
57	5A	111	01	0	0
5A	5A	111	00	0	1
5A	57	111	00	0	1

La figura 1 muestra una captura de pantalla en la que se aprecia claramente que el primer caso de prueba funciona. Por su parte, la figura 2 muestra un cronograma en el que se puede comprobar que los 5 primeros casos de prueba funcionan.

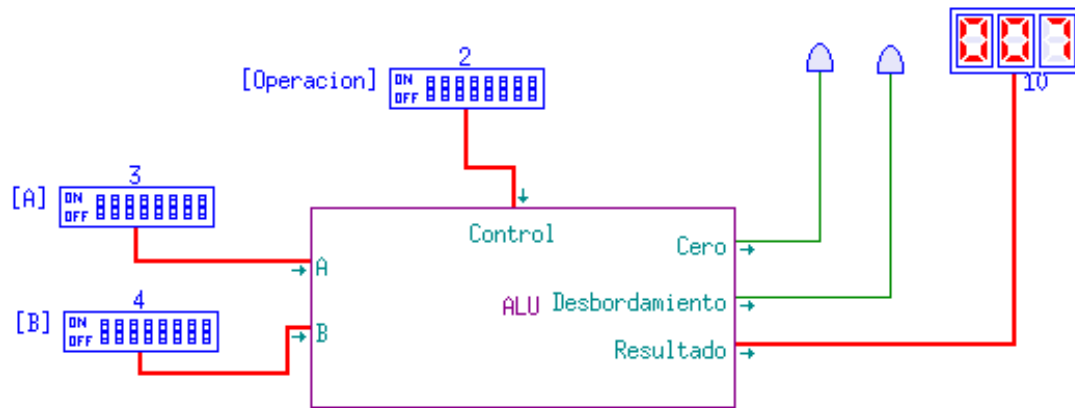


Figura 1: Captura de pantalla de la ALU terminada mostrando el correcto funcionamiento del primer caso de prueba.

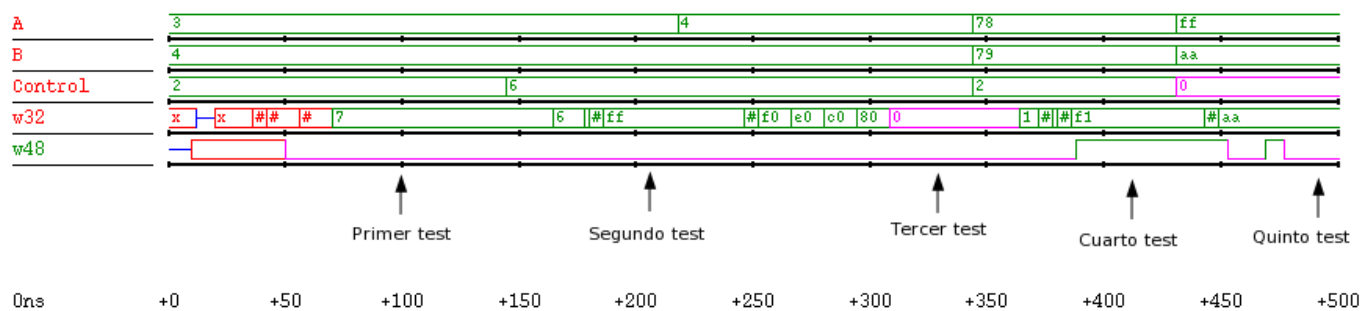


Figura 2: Captura de un cronograma mostrando el correcto funcionamiento de los primeros 5 casos de prueba. w32 es el resultado de la operación y w48 el desbordamiento.