

Requisitos mínimos para el boletín de prácticas B2.2 de Estructura y Tecnología de Computadores

Febrero de 2011

1. Introducción

En este documento se indica el conjunto **mínimo** de casos de prueba que deben superar los ejercicios entregados del boletín para poder ser evaluados. La memoria debe demostrar, mediante cronogramas y/o capturas de pantalla, que cada circuito entregado cumple los mínimos exigidos; de no ser así, el ejercicio no se tendrá en cuenta y se calificará como 0.

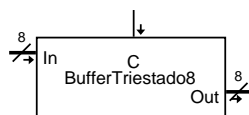
No obstante, para simplificar el trabajo, se debe tener en cuenta lo siguiente:

- Si la memoria demuestra que el ejercicio 3 cumple los requisitos mínimos, no será necesario demostrar que el resto de ejercicios los cumplen.
- Si la memoria demuestra que el ejercicio 2 cumple los requisitos mínimos, no será necesario demostrar que el ejercicio 1 los cumple.
- Si sólo se entrega el ejercicio 1, será necesario mostrar en la memoria el circuito de este ejercicio cumple los mínimos exigidos.

Obviamente, además de los casos de prueba aquí indicados, la memoria podrá contener también cualquier otra prueba que el alumno haya considerado oportuno hacer.

2. Ejercicio 1

La interfaz del módulo construido en este ejercicio se muestra en la siguiente figura:



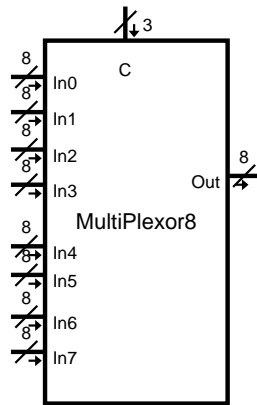
Cuando la señal de control “C” esté a 1, la salida del módulo deberá coincidir con su entrada; sin embargo, cuando esté a 0, la salida deberá ponerse a alta impedancia.

Aunque TkGate lo permite, para la construcción del módulo NO se podrán utilizar buffers triestado con líneas de entrada y de salida de 8 bits.

3. Ejercicio 2

El circuito de este ejercicio debe comportarse según la tabla de verdad de un multiplexor de 8 a 1, es decir, a la salida deberá aparecer la entrada seleccionada por los bits de control. Además, el circuito debe estar implementado siguiendo el esquema que aparece en la figura 12 del tema 2 (página 10), utilizando para ello el buffer triestado del ejercicio 1.

La interfaz del módulo construido en este ejercicio se muestra en la siguiente figura:



4. Ejercicio 3

El archivo de registros, al tratarse de un circuito secuencial, se validará a través de una secuencia de prueba ya que en este caso no tiene sentido hablar de casos de prueba. Se propone la siguiente secuencia de prueba:

Paso	Entradas						Salidas	
	CLR (1 bit)	Escribir (1 bit)	RegEscriutura (3 bits, octal)	DatoaEscribir (8 bits, hexadecimal)	RegLectura1 (3 bits, octal)	RegLectura2 (3 bits, octal)	DatoLeido1 (8 bits, hexadecimal)	DatoLeido2 (8 bits, hexadecimal)
1	0	0	2	1	2	0	X	X
2	1	0	2	1	2	0	0	0
3	0	1	2	1	2	0	1	0
4	0	1	4	FF	2	4	1	FF
5	0	0	3	A0	0	2	0	1
6	0	1	3	A0	3	2	A0	1
7	0	0	4	A0	2	4	1	FF
8	1	0	2	1	3	4	0	0

Obsérvese que los valores indicados en la tabla deben introducirse en el mismo orden para obtener los resultados previstos. La frecuencia del reloj que debe alimentar al circuito debe ser lo suficientemente baja para que dé tiempo a que se propaguen todos los cambios y se establezcan las salidas. Además, se sugiere que la simulación se realice mediante la opción de simular un intervalo fijo de tiempo (época), modificando previamente el valor por defecto de dicha opción de 1 a 100 (en función de la frecuencia de reloj utilizada).

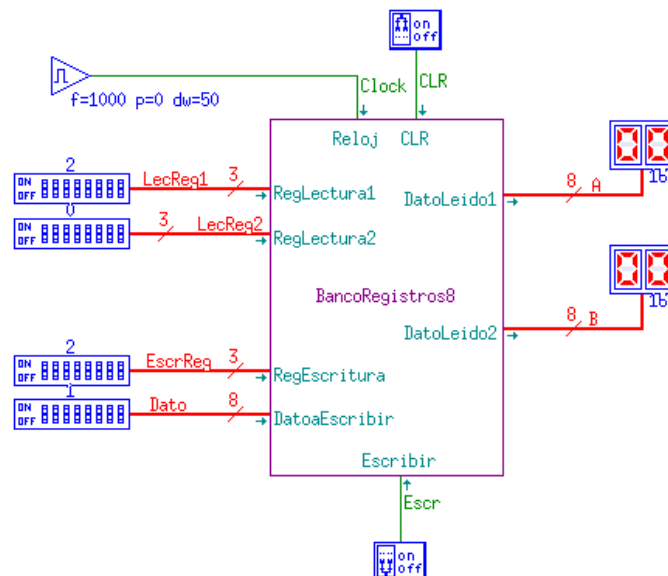


Figura 1: Captura de pantalla del banco de registros terminado mostrando el correcto funcionamiento del paso 2 de la secuencia de prueba.

La figura 1 muestra una captura de pantalla en la que se aprecia claramente que el paso 2 de la secuencia de prueba funciona (puesta a cero de todos los registros). Por su parte, la figura 2 muestra un cronograma en el que se puede comprobar que los 4 primeros pasos de la secuencia de prueba funcionan.

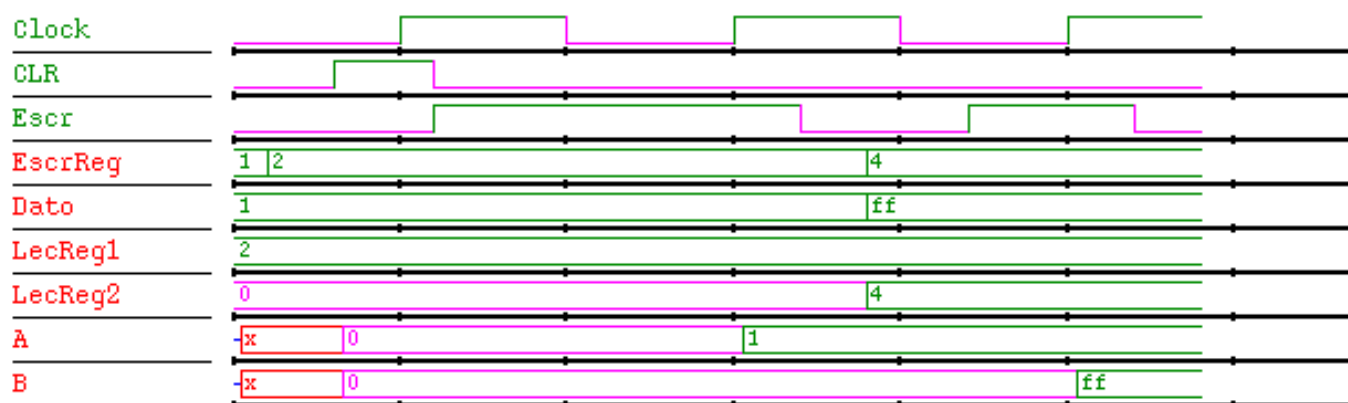


Figura 2: Captura de un cronograma mostrando el correcto funcionamiento de los primeros 4 pasos del test.