

Tema 2: Sist. Digitales: Circuitos Secuenciales

Febrero de 2011

- 1 Introducción
- 2 Biestables (flip-flops)
 - Cerrojos: S-R y D
 - Flip-flops: D, S-R, J-K y T
- 3 Registros y archivo de registros
- 4 Memorias SRAM y DRAM
- 5 Diseño/Síntesis de un circuito secuencial
 - Estructura general de un circuito secuencial
 - Fases en el diseño/síntesis de un circuito secuencial
 - Ejemplo de diseño/síntesis de un circuito secuencial
- 6 Apéndice: Construcción física de una celda de memoria

Agenda

- 1 Introducción
- 2 Biestables (flip-flops)
 - Cerrojos: S-R y D
 - Flip-flops: D, S-R, J-K y T
- 3 Registros y archivo de registros
- 4 Memorias SRAM y DRAM
- 5 Diseño/Síntesis de un circuito secuencial
 - Estructura general de un circuito secuencial
 - Fases en el diseño/síntesis de un circuito secuencial
 - Ejemplo de diseño/síntesis de un circuito secuencial
- 6 Apéndice: Construcción física de una celda de memoria

Introducción

- Los **circuitos combinacionales** del tema anterior se caracterizan porque la salida en cada instante depende única y exclusivamente de las entradas en ese mismo (carecen de memoria).
- Un **circuito secuencial** es aquel que posee la capacidad de recordar de alguna manera su historia anterior, es decir, la *secuencia* de operaciones a la que ha sido sometido. Ejemplo: la propia memoria de un computador.
- Estudiaremos los más importantes en este apartado, comenzando por los elementos de memoria más sencillos: los biestables o flip-flops.

Agenda

- 1 Introducción
- 2 **Biestables (flip-flops)**
 - Cerrojos: S-R y D
 - Flip-flops: D, S-R, J-K y T
- 3 Registros y archivo de registros
- 4 Memorias SRAM y DRAM
- 5 Diseño/Síntesis de un circuito secuencial
 - Estructura general de un circuito secuencial
 - Fases en el diseño/síntesis de un circuito secuencial
 - Ejemplo de diseño/síntesis de un circuito secuencial
- 6 Apéndice: Construcción física de una celda de memoria

Biestables (flip-flops)

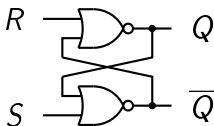
- **Cerrojos:**
 - Son los elementos de memoria más sencillos capaces de almacenar 1 bit.
 - Se usan como bloques básicos en la construcción de biestables.
- **Biestables:**
 - Capaces de almacenar un bit.
 - Controlados por una señal de reloj, que permite su escritura sólo durante un instante determinado.

Agenda

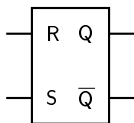
- 1 Introducción
- 2 **Biestables (flip-flops)**
 - Cerrojos: S-R y D
 - Flip-flops: D, S-R, J-K y T
- 3 Registros y archivo de registros
- 4 Memorias SRAM y DRAM
- 5 Diseño/Síntesis de un circuito secuencial
 - Estructura general de un circuito secuencial
 - Fases en el diseño/síntesis de un circuito secuencial
 - Ejemplo de diseño/síntesis de un circuito secuencial
- 6 Apéndice: Construcción física de una celda de memoria

Cerrojo Tipo S-R (*Set-Reset*)

- Diagrama lógico y tabla de excitación: ($Q^* = S + \bar{R} \cdot Q$)



(a) Imple-
mentación

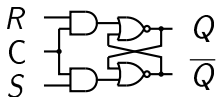


(b) Diagr.
Lógico

Entradas de excitación		Estado actual	Estado siguiente	
S	R	Q	Q*	
0	0	0	0	No cambia
0	0	1	1	
0	1	0	0	Puesta a cero
0	1	1	0	
1	0	0	1	Puesta a uno
1	0	1	1	
1	1	0	X	No permitido
1	1	1	X	

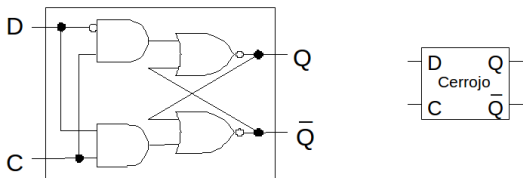
(c) Tabla de excitación del cerrojo S-R

- Inclusión de una señal de control:



Cerrojo tipo D

- Diagrama lógico y tabla de excitación: ($Q^* = D \cdot C + \bar{C} \cdot Q$)



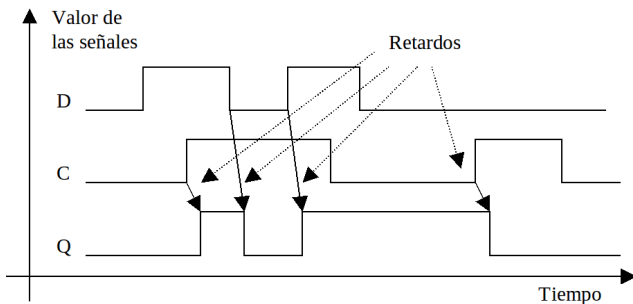
(d) Cerrojo D, controlado por la señal C

Entrada de control	Entrada de excitación	Estado siguiente	
C	D	Q^*	
0	X	Q	Retención
1	0	0	Almacenar 0
1	1	1	Almacenar 1

(e) Tabla de excitación del cerrojo D

Cerrojo tipo D

- Operación de un cerrojo D suponiendo que la salida está inicialmente a 0:

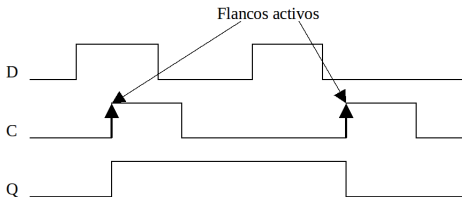


Agenda

- 1 Introducción
- 2 **Biestables (flip-flops)**
 - Cerrojos: S-R y D
 - **Flip-flops: D, S-R, J-K y T**
- 3 Registros y archivo de registros
- 4 Memorias SRAM y DRAM
- 5 Diseño/Síntesis de un circuito secuencial
 - Estructura general de un circuito secuencial
 - Fases en el diseño/síntesis de un circuito secuencial
 - Ejemplo de diseño/síntesis de un circuito secuencial
- 6 Apéndice: Construcción física de una celda de memoria

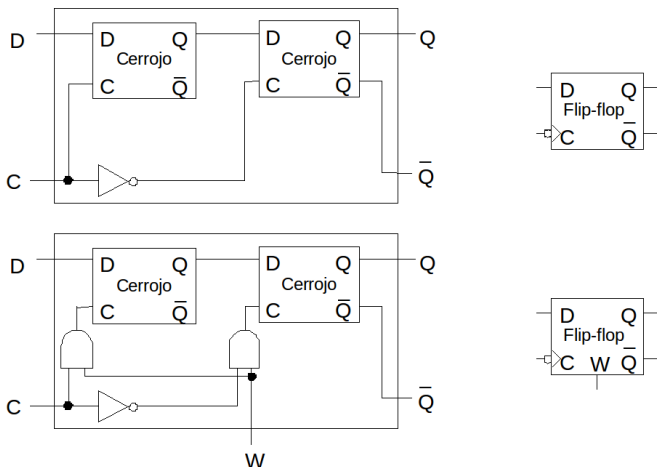
Flip-Flop tipo D

- Controlado por el flanco activo de una señal de reloj (cambio de estado en un instante concreto, en lugar de durante un periodo más largo).
- Flanco activo ascendente, positivo o de subida (reloj 0 \rightarrow 1).
- Flanco activo descendente, negativo o de bajada (reloj 1 \rightarrow 0).
- Cronograma de operación de un flip-flop D disparado por flanco de subida:



Implementación Maestro-esclavo (FF tipo D)

- (Superior) Flip-flop D maestro-esclavo, y símbolo lógico correspondiente. (Inferior) Después de añadirle una señal de escritura:



Tablas de excitación del FF tipo D

- Ecuaciones lógicas: $Q^* = D$ y $Q^* = D \cdot E + Q \cdot \bar{E}$,

Entrada de reloj	Entrada de excitación	Estado siguiente	
C	D	Q^*	
1 → 0	0	0	Almacenar 0
1 → 0	1	1	Almacenar 1

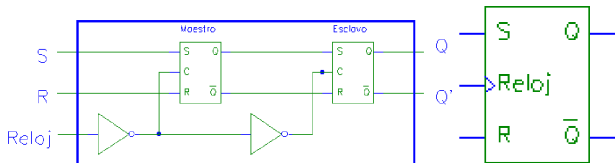
(f) Flip-flop D disparado por flanco descendente

Entrada de reloj	Permiso de escritura	Entrada de excitación	Estado siguiente	
C	E	D	Q^*	
1 → 0	0	X	Q	Retener estado
1 → 0	1	0	0	Almacenar 0
1 → 0	1	1	1	Almacenar 1

(g) Añadida la señal de escritura

Flip-Flop tipo S-R

- Ecuación característica: $Q^* = S + \bar{R} \cdot Q$:



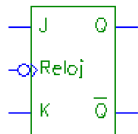
(h) Flip-flop S-R disparado por flanco ascendente

Entrada de reloj	Entradas de excitación		Estado siguiente	
C	S	R	Q^*	
$0 \rightarrow 1$	0	0	Q	Retener estado
$0 \rightarrow 1$	0	1	0	Reset
$0 \rightarrow 1$	1	0	1	Set
$0 \rightarrow 1$	1	1	X	No permitido

(i) Tabla de excitación

Biestable J-K y T (flanco desc.)

- Biestable J-K ($Q^* = \bar{K} \cdot Q + J \cdot \bar{Q}$):

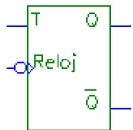


(j) FF. J-K

Entrada de reloj	Entradas de excitación		Estado siguiente	
C	J	K	Q^*	
1 → 0	0	0	Q	Retener estado
1 → 0	0	1	0	Reset
1 → 0	1	0	1	Set
1 → 0	1	1	\bar{Q}	Alternancia

(k) Tabla de excitación

- Biestable T ($Q^* = \bar{Q} \cdot T + Q \cdot \bar{T}$):



(l) FF. T

Entrada de reloj	Entrada de excitación	Estado siguiente	
C	T	Q^*	
1 → 0	0	Q	Retener estado
1 → 0	1	\bar{Q}	Alternancia

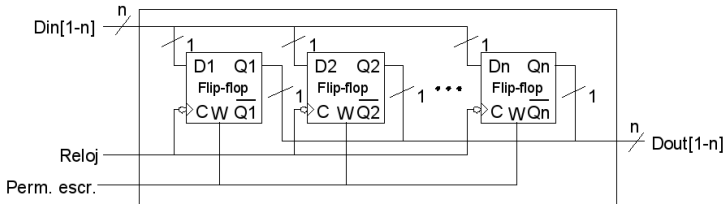
(m) Tabla de excitación

Agenda

- 1 Introducción
- 2 Biestables (flip-flops)
 - Cerrojos: S-R y D
 - Flip-flops: D, S-R, J-K y T
- 3 Registros y archivo de registros
- 4 Memorias SRAM y DRAM
- 5 Diseño/Síntesis de un circuito secuencial
 - Estructura general de un circuito secuencial
 - Fases en el diseño/síntesis de un circuito secuencial
 - Ejemplo de diseño/síntesis de un circuito secuencial
- 6 Apéndice: Construcción física de una celda de memoria

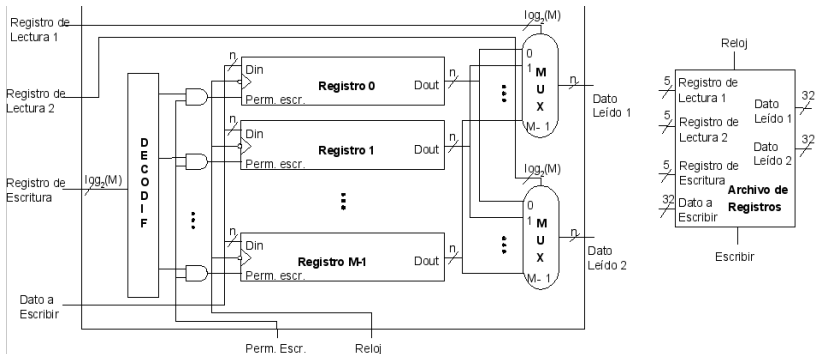
Registros

- Almacenan palabras de n bits concatenando flip-flops de tipo D, que comparten una misma señal de reloj y de permiso de escritura.



Archivo de Registros

- Almacenan M palabras de n bits cada una, accesibles por (varios) puertos de lectura y escritura (direccionados con $\log_2(M)$ bits cada uno).
- Ejemplo MIPS: 32 registros de 32 bits, dos puertos de lectura y uno de escritura.



Agenda

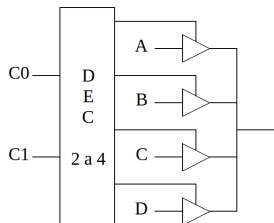
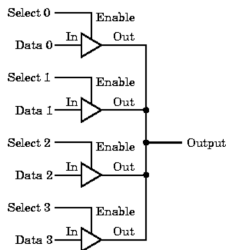
- 1 Introducción
- 2 Biestables (flip-flops)
 - Cerrojos: S-R y D
 - Flip-flops: D, S-R, J-K y T
- 3 Registros y archivo de registros
- 4 Memorias SRAM y DRAM
- 5 Diseño/Síntesis de un circuito secuencial
 - Estructura general de un circuito secuencial
 - Fases en el diseño/síntesis de un circuito secuencial
 - Ejemplo de diseño/síntesis de un circuito secuencial
- 6 Apéndice: Construcción física de una celda de memoria

Clasif. del Almacenamiento Electrónico de L/E

- Archivos de registros:
 - Memorias de tamaño pequeño, pero muy rápidas.
 - Empleados para ser accedidos rápidamente en la CPU.
- Memorias SRAM (*Static Random Access Memory*, RAM estáticas):
 - Memorias de tamaño mayor, aún bastante rápidas (pero menos que los AR).
 - Empleadas en las memorias cachés (dentro de la CPU).
 - Similares en construcción a los archivos de registros (6 trans/bit).
- Memorias DRAM (*Dynamic Random Access Memory*, RAM dinámicas):
 - Memorias de gran tamaño, más lentas, con tecnología distinta.
 - Empleadas en memoria principal.
 - 1 transistor + 1 condensador por bit.

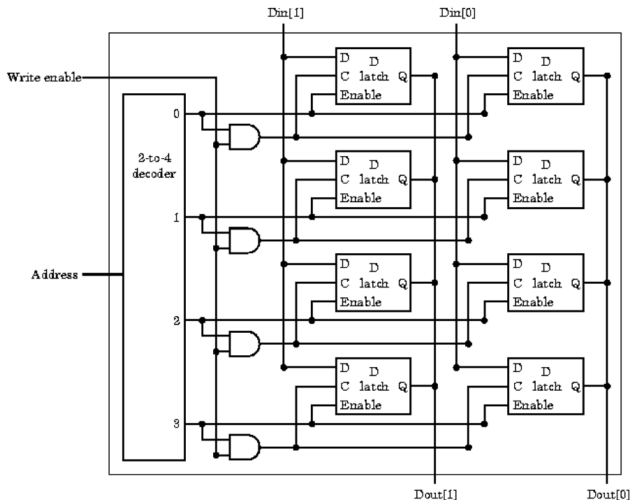
Estructura de una SRAM

- $2^{15} = 32768$ posiciones \rightarrow Necesidad de un MUX 32Kx1 \rightarrow muy costoso.
- Alternativa: uso de buffers triestado.
- Implementación de un MUX con buffers triestado:

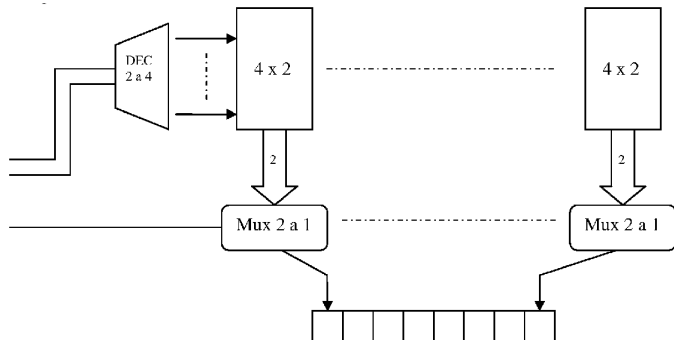


Estructura de una SRAM

SRAM de 4 x 2. Por simplicidad se omiten las entradas de habilitación de salida y selección de chip.

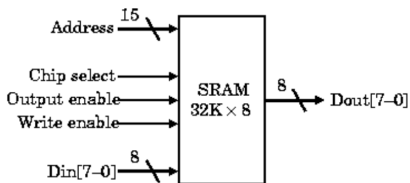


SRAM 8 x 8 (a partir de memorias de 4 x 2)

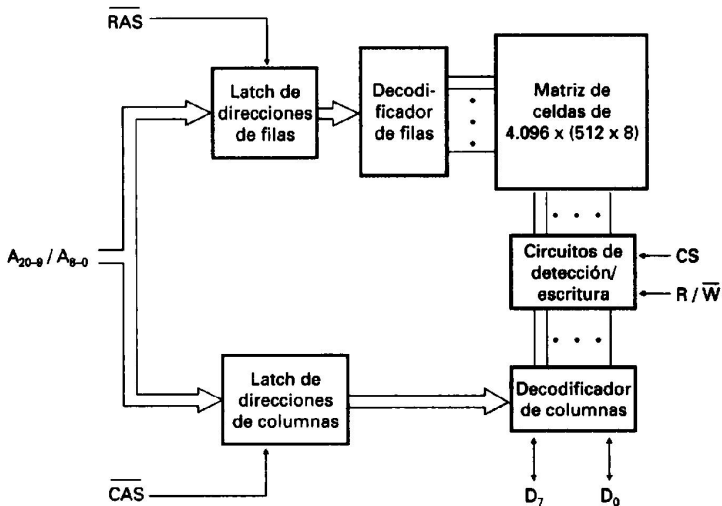


Funcionamiento de una SRAM

- Dirección a leer/escribir en *Address*.
- Si es un dato a escribir: en D_{in} . Si es un dato a leer: de D_{out} .
- *Write enable*: lo activamos en las escrituras (habilita la escritura).
- *Output enable*: lo activamos en las lecturas (habilita la lectura).
- *Chip select*: si es 0, desconecta las E/S del chip (utilizado para conectar varios chips a un mismo bus, con buffers triestado).

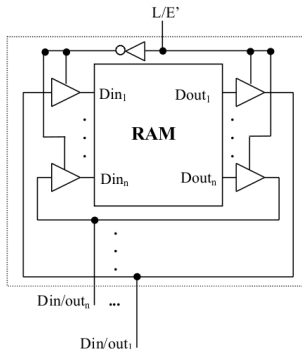


Estructura de una DRAM 2Mx8



Estructura de una DRAM

- A veces los puertos de lectura y escritura se encuentran compartidos. Razón: Ahorrar patillas en los chips.
- Esquema de una RAM con puerto compartido de lectura/escritura (bidireccional). Por simplicidad, se omiten las señales de dirección, selección de chip, etc.:



Tiempo de acceso en una DRAM

- Tiempo que pasa desde que se inicia un acceso hasta que los datos están disponibles.
- Decodificación a dos niveles → se tarda más tiempo en localizar el dato que en transmitirlo.
- Al leer varios datos consecutivos en memoria (misma fila), sólo se especifica la dirección del primero de ellos, y luego se va cambiando la columna sucesivamente (modo ráfaga, o burst).
- Nomenclatura: “X-Y-Y-Y”. Ejemplo: 5-2-2-2 → el primer dato se obtiene en 5 ciclos, desde el segundo al cuarto en sólo 2 adicionales cada vez.

Agenda

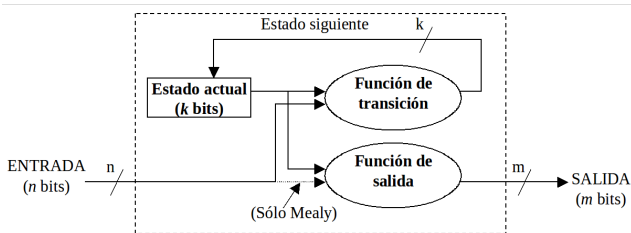
- 1 Introducción
- 2 Biestables (flip-flops)
 - Cerrojos: S-R y D
 - Flip-flops: D, S-R, J-K y T
- 3 Registros y archivo de registros
- 4 Memorias SRAM y DRAM
- 5 **Diseño/Síntesis de un circuito secuencial**
 - Estructura general de un circuito secuencial
 - Fases en el diseño/síntesis de un circuito secuencial
 - Ejemplo de diseño/síntesis de un circuito secuencial
- 6 Apéndice: Construcción física de una celda de memoria

Agenda

- 1 Introducción
- 2 Biestables (flip-flops)
 - Cerrojos: S-R y D
 - Flip-flops: D, S-R, J-K y T
- 3 Registros y archivo de registros
- 4 Memorias SRAM y DRAM
- 5 **Diseño/Síntesis de un circuito secuencial**
 - **Estructura general de un circuito secuencial**
 - Fases en el diseño/síntesis de un circuito secuencial
 - Ejemplo de diseño/síntesis de un circuito secuencial
- 6 Apéndice: Construcción física de una celda de memoria

Estructura general de un circuito secuencial

- **Entrada:** n bits de entrada del circuito.
- **Salida:** m bits de salida producidos por el circuito.
- **Estado actual:** almacenado en k elementos de estado (hasta 2^k estados distintos).
- **Función de transición:** determina el estado siguiente.
- **Función de salida:** determina la salida (**Moore:** en función del estado actual; **Mealy:** en función del estado y de la entrada actuales).



Agenda

- 1 Introducción
- 2 Biestables (flip-flops)
 - Cerrojos: S-R y D
 - Flip-flops: D, S-R, J-K y T
- 3 Registros y archivo de registros
- 4 Memorias SRAM y DRAM
- 5 **Diseño/Síntesis de un circuito secuencial**
 - Estructura general de un circuito secuencial
 - **Fases en el diseño/síntesis de un circuito secuencial**
 - Ejemplo de diseño/síntesis de un circuito secuencial
- 6 Apéndice: Construcción física de una celda de memoria

Fases en el diseño de un circuito secuencial

- 1 **Especificación verbal:** se trata de resumir con palabras el funcionamiento deseado para el circuito.
- 2 **Especificación del autómata:** mediante un autómata finito determinista (AFD), en concreto, un autómata de Moore.
- 3 **Minimización del autómata obtenido:** hallar el AFD mínimo equivalente, con el fin de reducir la circuitería necesaria.
- 4 **Codificación de estados:** para un autómata de M estados, necesitaremos $n = \lceil \log_2 M \rceil$ flip-flops. A cada estado le asociaremos una combinación de n bits.
- 5 **Minimización de la función de transición.**
- 6 **Minimización de la función de salida.**
- 7 **Implementación del circuito:** con los n flip-flops y las expresiones de los pasos 5 y 6 obtendremos el circuito final.

Agenda

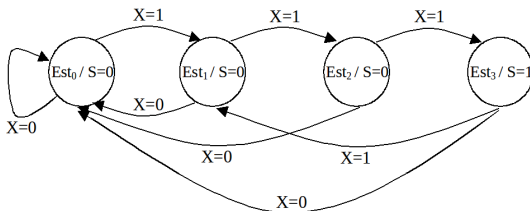
- 1 Introducción
- 2 Biestables (flip-flops)
 - Cerrojos: S-R y D
 - Flip-flops: D, S-R, J-K y T
- 3 Registros y archivo de registros
- 4 Memorias SRAM y DRAM
- 5 **Diseño/Síntesis de un circuito secuencial**
 - Estructura general de un circuito secuencial
 - Fases en el diseño/síntesis de un circuito secuencial
 - **Ejemplo de diseño/síntesis de un circuito secuencial**
- 6 Apéndice: Construcción física de una celda de memoria

Ejemplo de diseño de un circuito secuencial

- 1 **Especificación verbal:** «Diseñar un circuito secuencial con una única línea de entrada X y una única línea de salida S . El circuito debe ser capaz de detectar la aparición de tres unos consecutivos (es decir, durante tres ciclos de reloj) en su línea de entrada X . En ese caso deberá mostrar un uno en la salida S . En caso contrario deberá producir un cero. Si el circuito mostró un uno en la salida en el último paso, entonces debe volver a comenzar a contar unos en la entrada, y no volver a mostrar otro uno en la salida hasta que cuente otros tres unos en la entrada. Realizar dos diseños, uno utilizando biestables J-K y otro utilizando biestables D, en ambos casos disparados por flanco ascendente.»

Ejemplo de diseño de un circuito secuencial (cont.)

- 2 **Especificación del autómata:** mediante un autómata finito determinista (AFD), en concreto, un autómata de Moore.



(n) En forma gráfica

Estado Actual	Estado Siguiente		Salida
	X=0	X=1	S
Est_0	Est_0	Est_1	0
Est_1	Est_0	Est_2	0
Est_2	Est_0	Est_3	0
Est_3	Est_0	Est_1	1

(o) En forma de Tabla

Ejemplo de diseño de un circuito secuencial (cont.)

- 3 Minimización del autómata obtenido: el autómata ya es mínimo.
- 4 **Codificación de estados:** utilizaremos la codificación en binario natural ($Est_0 = 00$, $Est_1 = 01$, $Est_2 = 10$, $Est_3 = 11$).

$Q_1 Q_0$	$Q_1^* Q_0^*$		Salida
	$X=0$	$X=1$	S
00	00	01	0
01	00	10	0
10	00	11	0
11	00	01	1

Ejemplo de diseño de un circuito secuencial (cont.)

5 Minimización de la función de transición.

Cálculo de los valores de las entradas de excitación de los dos biestables tipo J-K:

	$Q_1^* Q_0^*$		$J_1 K_1$		$J_0 K_0$	
$Q_1 Q_0$	X=0	X=1	X=0	X=1	X=0	X=1
00	00	01	0 -	0 -	0 -	1 -
01	00	10	0 -	1 -	- 1	- 1
10	00	11	- 1	- 0	0 -	1 -
11	00	01	- 1	- 1	- 1	- 0

Ejemplo de diseño de un circuito secuencial (cont.)

Simplificación de las entradas de los biestables JK

		$Q_1 Q_0$			
		00	01	11	10
X	0	0	0	-	-
	1	0	1	-	-

(p) Simpl. J_1

		$Q_1 Q_0$			
		00	01	11	10
X	0	-	-	1	1
	1	-	-	1	0

(q) Simpl. K_1

		$Q_1 Q_0$			
		00	01	11	10
X	0	0	-	-	0
	1	1	-	-	1

(r) Simpl. J_0

		$Q_1 Q_0$			
		00	01	11	10
X	0	-	1	1	-
	1	-	1	0	-

(s) Simpl. K_0

Ejemplo de diseño de un circuito secuencial (cont.)

$$J_1 = Q_0 \cdot X; K_1 = \bar{X} + Q_0; J_0 = X; K_0 = \bar{X} + \bar{Q}_1$$

6 Minimización de la función de salida.

		Q_1	
		0	1
Q_0	0	0	0
	1	0	1
		0 2	1 3

$$S = Q_1 \cdot Q_0$$

7 Implementación del circuito: utilizando los dos flip-flops J-K y las expresiones de los pasos 5 y 6 obtendremos el circuito final.

Ejemplo de diseño de un circuito secuencial

... Con biestables D

- 1 Especificación verbal.
- 2 Especificación del autómata.
- 3 Minimización del autómata obtenido.
- 4 Codificación de estados.
- 5 Minimización de la función de transición.

	$Q_1^* Q_0^*$		$D_1 D_0$	
$Q_1 Q_0$	X=0	X=1	X=0	X=1
00	00	01	00	01
01	00	10	00	10
10	00	11	00	11
11	00	01	00	01

Ejemplo de diseño de un circuito secuencial (cont.)

		$Q_1 Q_0$			
		00	01	11	10
X	0	0	0	0	0
	1	0	1	0	1

(t) Simpl. D_1

		$Q_1 Q_0$			
		00	01	11	10
X	0	0	0	0	0
	1	1	0	1	1

(u) Simpl. D_0

$$D_1 = \overline{Q_1} \cdot Q_0 \cdot X + Q_1 \cdot \overline{Q_0} \cdot X; \quad D_0 = Q_1 \cdot X + \overline{Q_0} \cdot X$$

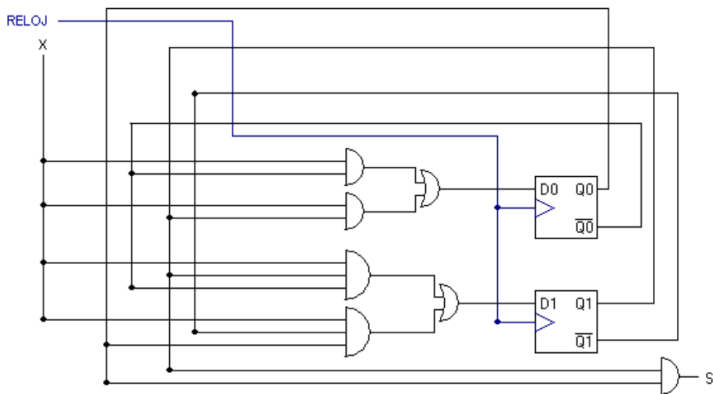
6 Minimización de la función de salida.

		Q_1	
		0	1
Q_0	0	0	0
	1	0	1

$$S = Q_1 \cdot Q_0$$

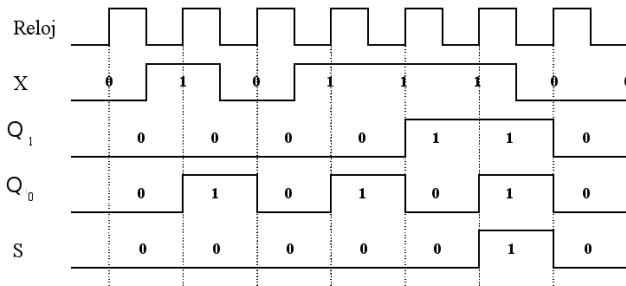
Ejemplo de diseño de un circuito secuencial (cont.)

- 7 **Implementación del circuito:** con los 2 flip-flops tipo D y las expresiones de los pasos 5 y 6 tendremos:



Ejemplo de diseño de un circuito secuencial (cont.)

Cronograma de ejemplo mostrando el funcionamiento dinámico del circuito:



Retardo total: 20 ns (flip-flop) + 10 ns (AND) + 10 ns (OR) = 40 ns.

$$f_{max} = 1/(40 \text{ ns}) = 1/(40 \cdot 10^{-9} \text{ s}) = 0,025 \cdot 10^9 \text{ Hz} = 25 \cdot 10^6 \text{ Hz} = 25 \text{ MHz}$$

Agenda

- 1 Introducción
- 2 Biestables (flip-flops)
 - Cerrojos: S-R y D
 - Flip-flops: D, S-R, J-K y T
- 3 Registros y archivo de registros
- 4 Memorias SRAM y DRAM
- 5 Diseño/Síntesis de un circuito secuencial
 - Estructura general de un circuito secuencial
 - Fases en el diseño/síntesis de un circuito secuencial
 - Ejemplo de diseño/síntesis de un circuito secuencial
- 6 Apéndice: Construcción física de una celda de memoria

Celda de Memoria SRAM

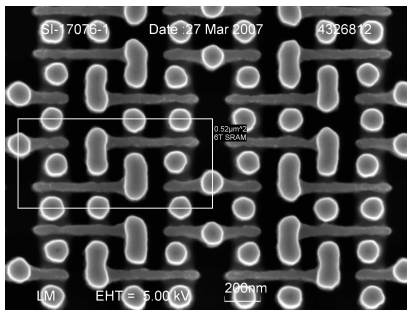
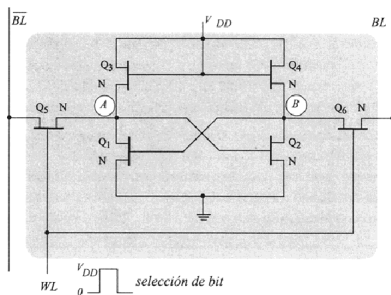
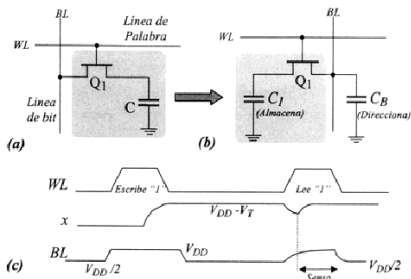
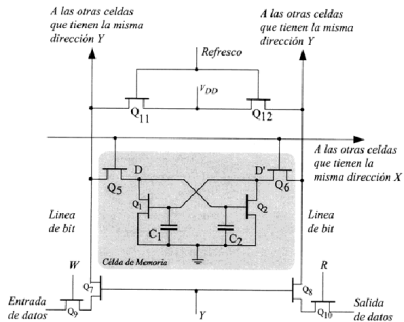


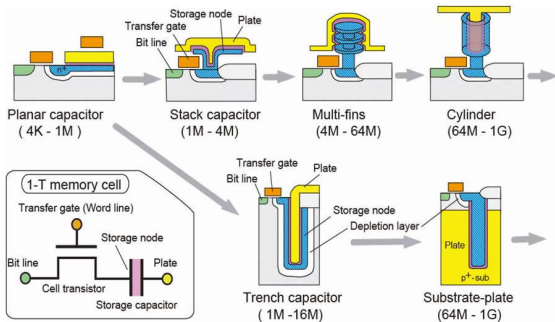
Figure: Implementación con transistores MOS de una celda de memoria SRAM: Esquemático (izq) y microfotografía (der).

Celda de Memoria DRAM

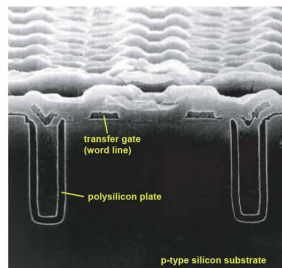


(a) Implementación con 4 transistores (b) Implementación con 1 transistor

Evolución de la tecnología



(c) Evolución tecnología DRAM



(d) Microfotografía condensadores de zanja